

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭57—31166

⑫ Int. Cl.³
H 01 L 23/48
21/58

識別記号 庁内整理番号
6819—5F
6679—5F

⑬ 公開 昭和57年(1982)2月19日
発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 半導体装置

⑯ 特 願 昭55—105911
⑰ 出 願 昭55(1980)7月31日
⑱ 発明者 桜井潤治

川崎市中原区上小田中1015番地
富士通株式会社内
⑲ 出願人 富士通株式会社
川崎市中原区上小田中1015番地
⑳ 代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体素子が集成されてなる素子封止部が多層に形成され、各層に外部との基板パッケージが設けられた多層半導体集成回路チップをバウチャージ内に封入した半導体装置において、バウチャージ内の内部パッケードが階段状に多層に設けられ、対応する層の前記内部パッケードとスリットパッケードとが外部導体を介して接続されてなることを特徴とする半導体装置。

(2) 前記外部導体バウチャーリングワイヤーであることを特徴とする特許請求の範囲1項の半導体装置。

(3) 前記導通パッケードの部分の形状と内部内部パッケードの部分の形状とが相対応するよう形成され、前記多層半導体集成回路チップをソース・ゲート構造でかつ前記外部導体として駆動パッケードとを介して接続してなることを特徴とする特許請求

求の範囲1項の半導体装置。

3. 発明の詳細な説明

本発明は多層半導体集成回路チップを有する半導体装置の構造に関するもので、電子計算機あるいは各種通信装置等の電子装置に於ては、半導体素子の実装密度を向上しめることがや否の小型化大容量化を図る上で極めて重要なことである。

そして上記目的のために大規模積層回路(LSI)等の半導体集成回路(IC)に於て、パッケージ当たりの電子基板度を向上せしめる技術として、(1)基板側のLSIチップを1(枚)の半導体パッケード、ケージ内に埋め込む構造、(2)1(枚)のパッケードに半導体素子を形成する構造、(3)LSIチップを搭載した半導体パッケード、ケージを組みがねる構造、(4)LSI上に形成した絶縁層上に半導体素子を形成しレーザ、アーノールで該半導体層を取出し格化し、該單結晶半導体層にLSIを形成する技術(日本エレクトロニクス2-18(1980)P82参照)等があるが、(1)～(3)の構造に於ては半導体素子に対する実装密度の大軒な向上は切合できます。

又(i)の構造に於ては集成度及び実装密度は大幅に向かうが、各層の回路端子が突出しないので、各層に形成されているLSIのプロセス機能や回路機能を個々に検査することが困難であるという問題があった。

本発明は上記問題点に鑑み、集成回路(ICS)チ、ブを積層し、バ、ケージ寸法の拡大することを着力抑え且つバ、ケージ当りのICSの集成度を大幅に向かせしめ、更にICSチ、ブ毎のプロセス機能及び回路機能を個々に測定することが可能な構造を有する多層半導体集成回路チ、ブをバ、ケージ内に封入してなる半導体装置を提供する。

即ち本発明は半導体素子が集成されてなる電子集成層が多層に積層され、各層に外部との導通バ、ドが設けられた多層半導体集成回路チ、ブをバ、ケージ内に封入した半導体装置において、該バ、ケージ内の内部バ、ドが段階状に多層に設けられ、対応する層の前記導通のバ、ドと内部バ、ドとが外部導体を介して接続されてなることを特徴とする。

・ド2a、2b、2cあるいは2dが形成されており、各層チ、ブの大きさは、上層のチ、ブを載せた際に下層チ、ブのポンディング・バ、ドが上層チ、ブの周辺部(外側)に突出するように、上層チ、ブになるに従って順次小さく形成される。(図中9は表面保護絶縁膜を表わす)

そしてこれら半導体ICSチ、ブを積層する際の接着層3はシリコン樹脂、エポキシ樹脂或いはポリ・イミド等の絶縁性樹脂、銅ベースト等の導電性接着剤或いは金-錫(Au-Sn)等の合金からなるろう材により形成される。なお上記の中、ろう材を用いて接着を行う際には下層の半導体ICSチ、ブの表面保護絶縁膜9上に予めAu等からなるメタライズ層を形成しておく必要があり、又導電性接着剤或いはろう材を用いて接着する構造に於ては、下層チ、ブの表面保護絶縁膜9に於ける周縁部以外の所望の場所にコンタクト窓を形成し、前記導電性接着剤或いはろう材を介して上層チ、ブの所望の領域と該方向に電気的接続を行う點に有利である。

以下本発明を第1図及び第2図に示すチ、ブ積層構造に於ける二つの実施例の上面図(a)及びA-A'矢印断面図(b)、第3図及び第4図に示すバ、ケージへのチ、ブ実装構造に於ける二つの実施例の断面模式図を用いて詳細に説明する。

本実施例の多層半導体ICSに使用する各電子集成層としての半導体ICSチ、ブは、通常行われる例えばMIS型ICSの製造工程に従って、ゲート酸化膜、ゲート電極、ソース・ドレイン領域、配線等の形成が完了せしめられ、制約のための導通用バ、ドであるポンディング・バ、ド部のみを残して上面が焼成ガラス(PSG)等の表面保護絶縁膜で覆われてなっている。なお上記ポンディング・バ、ド部にはバンブ状電極が形成される場合もある。

そして例えば第1図(a)及び(b)に示すような多層半導体ICSチ、ブの積層構造に於ては、第1層の半導体ICSチ、ブ1a、第2層のチ、ブ1b、第3層のチ、ブ1c及び第4層のチ、ブ1dの4(辺)に沿った周縁部に導通所留のポンディング・バ

又第2図(a)及び(b)は同じチ、ブ・サイズの半導体ICSチ、ブを積層する際の構造を表わす別の実施例で、この場合は各層半導体ICSチ、ブ例えば1a、1b、1c及び1dのポンディング・バ、ド2a、2b、2c及び2dは該チ、ブに於ける與り合った2(辺)に沿う部分のみに形成される。そしてチ、ブを積層する際に用いる接着層3としては前記同様絶縁性樹脂、導電性接着剤或いはろう材が使用される。(図中9は表面保護絶縁膜を表わす)

本実施例の半導体装置は上記のような多層半導体集成回路チ、ブを半導体バ、ケージ内に配設した構造を有しており、その一実施例に於ては第3図の断面模式図に示すように、半導体バ、ケージ4のチ、ブ・ステージ5上に前記のように半導体ICSチ、ブ1a、1b、1c及び1dが順次積層された多層半導体集成回路チ、ブが、前記同様絶縁性樹脂、導電性接着剤或いはろう材等からなる接着層3により固定されており、上記チ、ブの所望のポンディング・バ、ド(通常は既てのポン

ディング・パ・ドである) 2a, 2b 及び 2c と多層に形成された半導体パ・ケージ 4 の内部パ・ド 6a, 6b 或るいは 6c とがワイヤ・ポンディング等の方法により外部導体であるワイヤー 7 で接続されている。(図中 9 は表面保護絶縁膜を表わす)

そして本実施例に於ては最上層のチ・ブ 1d の所望のポンディング・パ・ド 2d とその下層のチ・ブ 1c の所望のポンディング・パ・ド 2c とはワイヤ・ポンディングにより外部導体 7' で接続された端子を有しており、各チ・ブに形成された回路を共通の電源に接続する際等にはこのような外部導体接続が行われる。なお該構造に於て半導体パ・ケージ 4 の内部パ・ド 6a, 6b 及び 6c はそれぞれ対応する多層半導体集積回路チ・ブ 1a, 1b 及び 1c のポンディング・パ・ド 2a, 2b 或るいは 2c とはほぼ等しい高さに形成されることが望ましい。

又第 4 図は多層半導体集積回路チ・ブをフェース・ダウン構造で半導体パ・ケージ IC 搭載する本

~~内に半導体 IC チ・ブが積層固定されており~~
スベリのアーバ・ケージ法の拡大を極めて小さく抑えながらパ・ケージ当たりの回路密度(集積度)を大幅に向上升せしめることができると同時に、各半導体 IC チ・ブのポンディング・パ・ド部成るいはそれに接続する内部配線が個々にパ・ケージ内に表出された構造を有するので、該多層半導体 IC の組み立てに際してチ・ブ毎にプロセス機能及び回路機能を検出することができ製造歩留まりの向上が図れる。

さらに本発明の半導体装置のパ・ケージの内部パ・ドの部分の構造が多層半導体集積回路チ・ブの導通パ・ドの部分の構造とはほぼ対応するように形成されているので前記チ・ブの実装が容易に行なえる。

又本発明の第 1 の実施例の構造に於ては、各電子集積層のポンディング・パ・ドが表出しており前述のように当該チ・ブのポンディング・パ・ド間を外部導体で接続することが可能である。従って該構造の半導体装置の多層チ・ブに於ては、必

要開示57-31166(3)
究明の半導体装置に於ける一実施例の断面模式図で、本実施例に於てはポンディング・パ・ド 2a, 2b, 2c 部に鉛-錫(Pb-Sn)半田等からなるパンプ電極 8a, 8b, 8c を有する半導体 IC チ・ブ 1a, 1b, 1c を前述のように積層形成せしめた多層半導体集積回路チ・ブを、該チ・ブの上面を下に向け、半導体パ・ケージ 4 に多層に形成された内部パ・ド 6c, 6b, 6a 上に、前記パンプ電極 8a, 8b, 8c によりろう差固定し、該パンプ電極 8a, 8b, 8c を外部導体として介して各層半導体 IC チ・ブ 1a, 1b, 1c のポンディング・パ・ド部とパ・ケージの内部配線とをそれぞれ電気的に接続した構造を有している。(図中 9 は表面保護絶縁膜を表わす)

なお該構造に於ては各層の半導体 IC チ・ブの厚さと半導体パ・ケージの内部配線の層間隔はほぼ等しくする必要がある。

以上説明したように本発明の構造を有する半導体装置に於ては、半導体パ・ケージ内に半導体 IC チ・ブが積層固定されてなっているので、メタ

ずしも一枚のチ・ブで回路機能を完成せしめる必要はなく、複数枚のチ・ブにまたがって回路機能を形成することができる。

従って本発明によれば多層半導体 IC の製造歩留まりが向上すると同時に、電子計算機或るいは電子通信装置等の電子機器の小型化、大容量化が図れる。

4. 図面の簡単な説明

第 1 図及び第 2 図は本発明の多層半導体集積回路に於けるチ・ブ積層構造の二つの実施例を示し(a)はその上面図、(b)はその A-A' 矢印断面図である。又第 3 図及び第 4 図は本発明に於けるパ・ケージへのチ・ブ実装構造の二つの実施例の断面模式図である。

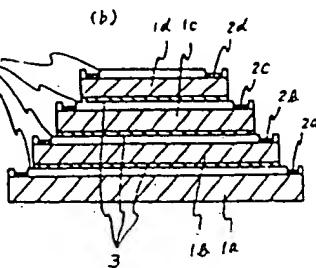
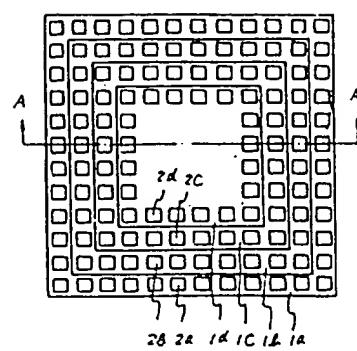
図に於て 1a と 1b と 1c と 1d は電子集積層である半導体集積回路チ・ブ、2a と 2b と 2c と 2d はポンディング・パ・ド、3 は接地板、4 は半導体パ・ケージ、5 はチ・ブ・ステージ、6a と 6b と 6c はパ・ケージの内部パ・ド、7 及び 7' は外部導体、8a と 8b と 8c はパンプ電極

9は表面保護膜装着示す。

代理人弁理士 松岡 実四

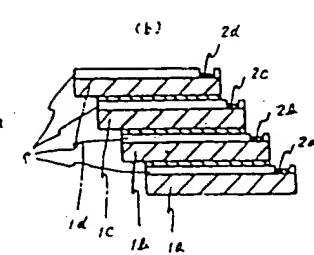
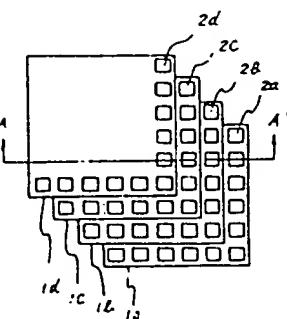
第1図

(a)

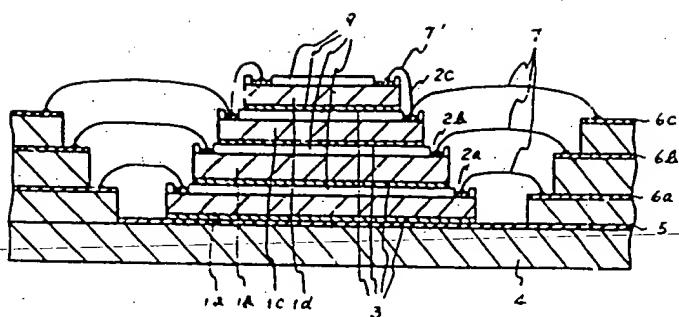


第2図

(a)



第3図



第4図

